

基于混合编码 DAC 的低功耗 SAR ADC 设计

杨 明, 赵毅强, 夏 璠

(天津大学 电子信息工程学院, 天津 300072)

摘 要: 设计了一种基于混合编码 DAC 的低功耗 SAR ADC. 其分段电容 DAC 采用混合编码, 减小了短时脉冲波形干扰的影响; 为降低 DAC 寄生效应和电容阵列失配误差的影响, 在 DAC 和比较器的版图设计中考虑了一些匹配技术. 采用 GF(Global Foundry) 0.35 μm CMOS 工艺流片验证, 该 ADC 在 500 KSPS 的速度下其 INL 在 $-0.6 \sim 0.4$ LSB 区间范围内, DNL 在 $-0.2 \sim 0.7$ LSB 区间范围内, SNDR 为 54.13 dB, 有效位为 8.7 位. 整个电路的功耗为 537.9 μW .

关键词: 逐次逼近模数转换器; 混合编码; 匹配技术; 低功耗

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2013)07-0091-04

Design of Low-power SAR ADC with Hybrid Encoding DAC

YANG Ming, ZHAO Yi-qiang, XIA Fan

(School of Electronic and Information Engineering, Tianjin University, Tianjin 300072, China)

Abstract: A low-power successive approximation register analog-to-digital converter with hybrid encoding DAC is proposed in this paper. To decrease the glitch of the charge redistributed DAC, the split-capacitor DAC adopt the hybrid code. To increase the matching accuracy and reduce the influence of parasitic effect of DAC, some matching techniques are adopted in the layout design of the proposed DAC and capacitor. The SAR ADC is fabricated and verified in GF(Global Foundry) 0.35 μm CMOS process. The measurement results have shown that at 500 KSPS, the INL and DNL are $-0.6 \sim 0.4$ LSB and $-0.2 \sim 0.7$ LSB, respectively, the SNDR is 54.13 dB and the ENOB is 8.7 bits. The total circuit consumption is 537.9 μW .

Key words: SAR ADC; hybrid encoding; matching techniques; low power consumption

1 引言

模数转换器 (Analog to Digital Converter, ADC) 是实现模拟世界向数字领域转换的关键部件, 因此成为现代电子系统中的一个重要电路单元^[1]. 由于模拟信号在传输过程中容易受到系统内部噪声与外界环境噪声的影响, 当代的片上系统一般都通过 ADC 将模拟信号转换为数字信号进行传输. 常用的 ADC 结构中, 逐次逼近型模数转换器 (Successive Approximation Register Analog-to-Digital Converter, SAR ADC) 由于其简单的结构以及在精度、速度和功耗上的综合优势, 被越来越多的应

用在工业控制、医疗器械以及接口芯片等领域, 具有广阔的应用前景^[2].

本文设计一种基于混合编码数模转换器 (Digital to Analog Converter, DAC) 的电荷分享型 SAR ADC. 在 GF 0.35 μm CMOS 标准工艺下, 实现 10 bit 精度以及 500 KSPS 的转换速率.

2 系统架构

传统的 SAR ADC 由采样/保持电路、比较器电路、DAC 以及逻辑时序控制电路等四部分构成^[3]. 本文设计的 SAR ADC 由带有采样保持功能的 DAC、比较器、SAR 逻辑控制部分组成, 去掉了采样

保持电路以节省功耗与芯片面积,并且降低了电路噪声.该 SAR ADC 的系统框图如图 1 所示.其工作过程包括两部分:首先,模拟输入信号 V_{in} 通过开关与 DAC 连接进行采样;然后,逐次逼近寄存器的最高位被置 1,其余位为 0.此时,DAC 输出 $V_{REF}/2$ 电压与采样电平 V_{in} 进行比较,比较的结果赋给逐次逼近寄存器的最高位,同时,将“1”赋给逐次逼近寄存器的次高位,进行次高位的判定.重复上面的比较过程,SAR ADC 完成了由最高位到最低位的转换过程.

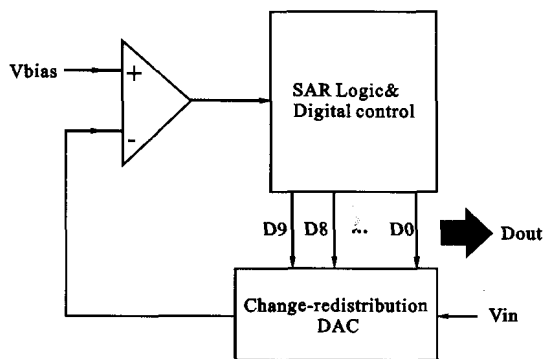


图 1 SAR ADC 系统架构图

3 电路实现

3.1 DAC 的设计

由于低功耗设计的要求,本文设计的 DAC 选用了电容结构型 DAC.传统的实现二进制编码方式的 DAC 电容个数多、占用芯片面积大,同时会降低电路速度.本文采用了混合编码方式的分段桥接式布局来实现 DAC 功能,减少了电容个数保持较小的芯片面积,且转换速度比较快.其电路如图 2 所示,高位电容阵列的高两位和低位电容阵列的高两位用温度计码实现,其余位用二进制码实现.在采样阶段,所有电容下极板接 V_{IN} ,因此节点 X 和 Y 的电荷为:

$$\begin{aligned} Q_X &= 64C(V_{CM} - V_{IN}) \\ Q_Y &= 0 \end{aligned} \quad (1)$$

然后进入电荷再分配阶段, C_c 为补偿电容,其下极板接地,剩余电容下极板根据逐次逼近算法连接 V_{ref} 或者 V_{SS} .在再分配阶段起始的第一个时钟内开关 $S_{11} \sim S_0$ 的控制信号为 110000_000000,其中,“1”表示电容接 V_{REF} ,“0”表示电容接 V_{SS} ,此时比较器会有一个数字输出;在下一个时钟内,如果比较器输出为高电平,则 $D_9=1$,且下一时钟周期内开关 $S_{11} \sim S_0$ 控制信号为 111000_000000;如果比较器输出为低电平,则 $D_9=0$,且下一时钟周期内开关

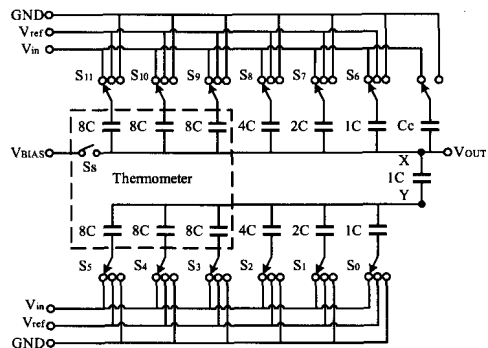


图 2 DAC 电路图

$S_{11} \sim S_0$ 控制信号为 100000_000000;因此比较器又有一个数字输出;依次类推直到 D_0 的值得到确认.由电荷守恒原理可知,在采样阶段和电荷再分配阶段节点 X 和 Y 的电荷保持不变,即可以得到:

$$V_X = V_{CM} - V_{IN} + \frac{V_{REF}}{2^{10-n}} \sum_{n=0}^9 D_n \quad (2)$$

由于在芯片制造过程中,晶圆的氧化层厚度不均匀,并且掺杂浓度以及底层刻蚀也会存在差异,导致电容存在相对精度误差,使用电荷重分配技术的 SAR ADC 的线性度很大程度上依赖于电容的失配误差^[4].并且,电容阵列的寄生电容也会导致 SAR ADC 的非线性误差.为此,在版图设计时,将单位电容与相应的开关做在一起,作为标准单元,使各种非理想因素对每个单位电容的影响保持一致.如图 3 所示, $clr=1$ 时为采样阶段,此时 V_{IN} 与电容相连; $clr=0$ 时为转换阶段,根据 bin 的取值决定参考电平 V_{REF} 或者地电位 V_{SS} 是否与电容相连.为了防止 V_{IN} 与 V_{REF} 或 V_{SS} 同时接入 DAC, clr_d 由 clr 经过延迟单元产生. DAC 由标准单元并联构成,提高了 ADC 的线性度.

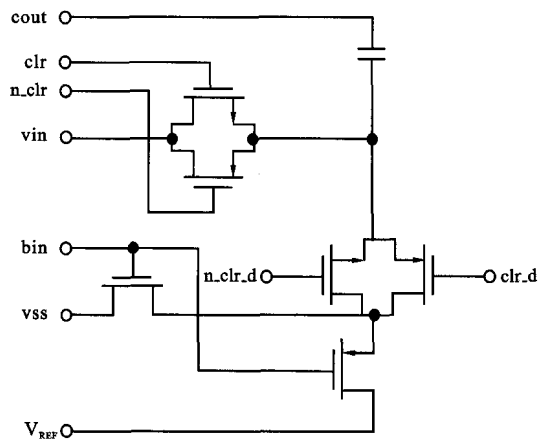


图 3 由单位电容和相应开关构成的标准单元

3.2 比较器设计

本文设计的 ADC 其采样率为 500KSPS,要求时钟频率为 10MHz.因此比较器采用了预放大器

用 GF 0.35 μm CMOS 工艺进行版图设计, 并进行流片, 流片后的芯片显微镜照片如图 8 所示. 图中, SAR ADC 的版图面积为 $880\text{ }\mu\text{m} \times 317\text{ }\mu\text{m}$. 采用码密度直方图法对 ADC 的静态性能进行测试, 在 ADC 输入端加一个 111Hz 正弦信号, 并使该正弦信号的峰一峰值为 ADC 的量化范围, 逻辑分析仪采集大量的数据, 经过 Matlab 计算其 INL 和 DNL, 结果如图 9 所示. 测试结果表明该 ADC 在采样为 500 KSPS 时 INL 在 $-0.6 \sim 0.4$ LSB 区间范围内, DNL 在 $-0.2 \sim 0.7$ LSB 区间范围内. 这些数据说明本文设计的 ADC 没有失码, 线性度较好地满足了静态应用场合. ADC 动态特性测试基于

FFT 分析. 根据相干采样法, 采样 65536 个数据, 在 ADC 输入端加一个 27kHz 正弦波, 对正弦波进行采样并将采样的数据保存, Matlab 计算其频谱图如图 10 所示. 测试的 SNR 等于 54.13 dB, 计算的 ENOB 约为 8.7 位.

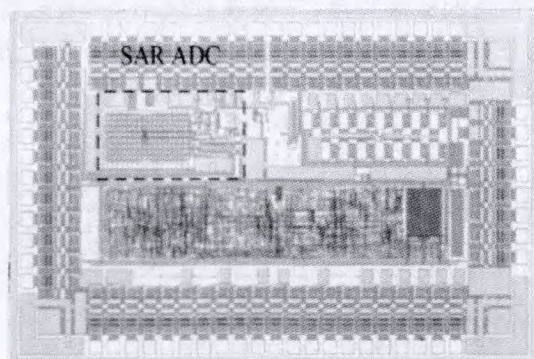


图 8 SAR ADC 芯片照片

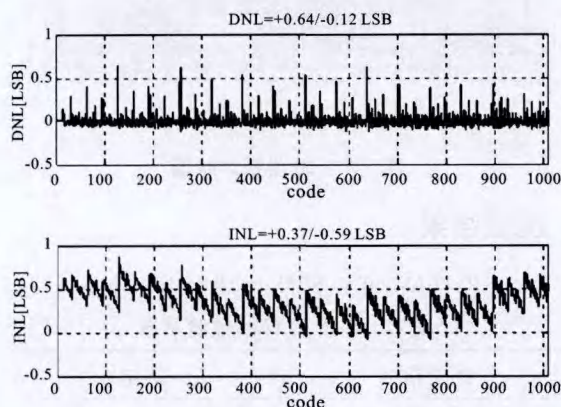


图 9 SAR ADC 静态特性测试图

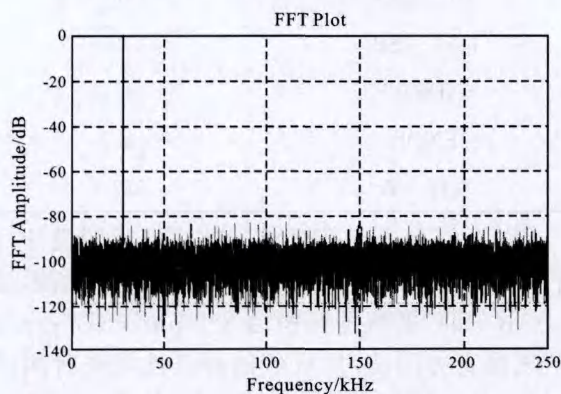


图 10 SAR ADC 的频谱测试图

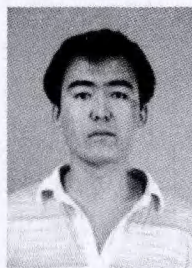
5 结束语

本文完成了一种利用混合编码方式 DAC 的逐次逼近 ADC 设计. 混合编码减少了 DAC 的动作频率, 由此减少了 SAR ADC 的功耗; 版图以单位电容和相应开关作为标准单元进行并联设计, 提高了 DAC 的线性度. 测试结果表明, 本文设计的 SAR ADC 实现了 10 位模数转换功能, 转换速率为 500 KSPS, INL 和 DNL 均小于 1 个 LSB, 功耗为 537.9 μ W. 该 ADC 已成功应用在红外成像系统中.

参考文献:

- [1] 古松, 李冬梅. 基于动态元件匹配技术的改进逐次逼近 ADC 设计[J]. 半导体技术, 2009, (9): 907-911.
- [2] 贺伟. 甚低功耗 15MS/s 逐次逼近型 ADC 的设计实现[J]. 微电子学与计算机, 2010(27): 75-79.
- [3] Behazad Razavi. Principle of data conversion system design [M]. New York: IEEE Press, 1995.
- [4] YoungJoo Lee, In-Cheol Park. Capacitor array structure and switching control scheme to reduce capacitor mismatch effects for SAR analog-to-digital converters [C]//2010 IEEE International Symposium on Circuits and Systems. Paris: IEEE Press, 2010: 1464-1467.
- [5] Allen P E, Holberg D R. CMOS 模拟集成电路设计 [M]. 冯军, 李智群, 译. 北京: 电子工业出版社, 2005.
- [6] Coban A L, Allen P E. A 1.5 V 1.0 mW audio $\Delta\Sigma$ modulator with 98 dB dynamic range [C]//1999 IEEE International Solid-State Circuits Conference. Piscataway: IEEE Press, 1999: 50-51.

作者简介:



杨明男, (1985-). 研究方向为模拟及数模混合集成电路设计.